



**INSTITUTO POLITÉCNICO NACIONAL**  
**SECRETARÍA ACADÉMICA**  
**DIRECCIÓN DE EDUCACIÓN SUPERIOR**



**PROGRAMA SINTÉTICO**

<b>UNIDAD ACADÉMICA:</b> ESCUELA SUPERIOR DE CÓMPUTO, UNIDAD PROFESIONAL INTERDISCIPLINARIA DE INGENIERÍA, CAMPUS ZACATECAS	
<b>PROGRAMA ACADÉMICO:</b> Ingeniería en Sistemas Computacionales	
<b>UNIDAD DE APRENDIZAJE:</b> Arquitectura de computadoras	<b>SEMESTRE:</b> V <b>PLAN DE ESTUDIOS:</b> 2020

<b>PROPÓSITO DE LA UNIDAD DE APRENDIZAJE</b>				
Implementa un procesador de arquitectura RISC con base en un lenguaje de descripción de hardware (HDL) y dispositivos reconfigurables del tipo FPGA.				
<b>CONTENIDOS:</b>	I. Organización y arquitectura de computadoras II. Arquitectura del conjunto de instrucciones de RISC III. Diseño e implementación de un procesador monociclo de arquitectura RISC IV. Segmentación de la ruta de datos de un procesador RISC. V. Organización del sistema de memoria.			
<b>ORIENTACIÓN DIDÁCTICA:</b>	<b>Métodos de enseñanza</b>		<b>Estrategias de aprendizaje</b>	
	a) Inductivo	x	a) Estudio de Casos	
	b) Deductivo	x	b) Aprendizaje Basado en Problemas	
	c) Analógico		c) Aprendizaje Orientado a Proyectos	x
	d) Heurístico	x		
<b>EVALUACIÓN Y ACREDITACIÓN:</b>	Diagnóstica	x	Saberes Previamente Adquiridos	X
	Solución de casos		Organizadores gráficos	
	Problemas resueltos		Problemarios	
	Reporte de proyectos	x	Exposiciones	
	Reportes de indagación		<b>Otras evidencias a evaluar:</b> Código de programas con instrucciones del procesador RISC y código de programas en HDL	
	Reportes de prácticas	x		
	Evaluación escrita	x		
<b>BIBLIOGRAFÍA BÁSICA:</b>	<b>Autor(es)</b>	<b>Año</b>	<b>Título del documento</b>	<b>Editorial / ISBN</b>
	Patterson D. y Henessy J.	2021	Computer Organization and Design MIPS edition: The Hardware/ Software interface	Morgan Kaufmann / 0128201096
	Patterson D. y Henessy J.	2021	Computer Organization and Design RISC-V edition: The Hardware/ Software interface	Morgan Kaufmann / 0128203315
	Patterson D. y Waterman A.	2017	The RISC-V Reader: An Open Architecture Atlas.	Strawberry Canyon/ 0999249118
	Tanenbaum, A.	2016	Modern Operating Systems	Pearson India/ 9789332575776
	Pedroni, V.	2010	Circuit desing with VHDL (*)	MIT Press Edition / 0262014335



# INSTITUTO POLITÉCNICO NACIONAL



## SECRETARÍA ACADÉMICA DIRECCIÓN DE EDUCACIÓN SUPERIOR

### PROGRAMA DE ESTUDIOS

UNIDAD DE APRENDIZAJE: Arquitectura de computadoras

HOJA 2 DE 8

<b>UNIDAD ACADÉMICA:</b> ESCUELA SUPERIOR DE CÓMPUTO, UNIDAD PROFESIONAL INTERDISCIPLINARIA DE INGENIERÍA, CAMPUS ZACATECAS		
<b>PROGRAMA ACADÉMICO:</b> Ingeniería en Sistemas Computacionales		
<b>SEMESTRE:</b> V <b>PLAN DE ESTUDIOS:</b> 2020	<b>ÁREA DE FORMACIÓN:</b> Profesional	<b>MODALIDAD:</b> Escolarizada
<b>TIPO DE UNIDAD DE APRENDIZAJE:</b> Teórica- práctica/ Obligatoria		
<b>VIGENTE A PARTIR DE:</b> Enero 2022	<b>CRÉDITOS:</b>	
	<b>TEPIC:</b> 7.5	<b>SATCA:</b> 6.3
<b>INTENCIÓN EDUCATIVA</b>		
<p>La unidad de aprendizaje contribuye al perfil de egreso de la Ingeniería en Sistemas Computacionales desarrollando habilidades de diseño e implementación de la arquitectura RISC para procesadores de software mediante lenguajes de alto nivel, que le permitan programar de manera más eficiente, así como el análisis y desarrollo de un conjunto de instrucciones para establecer las unidades funcionales que se necesitan en el desarrollo e implementación de un procesador y la implementación de las unidades funcionales mediante un Lenguaje de Descripción de Hardware (HDL - Hardware Description Language), usando Arreglos de Compuertas de Campos Programables (FPGA – Field Programmable Gate Array), a fin de sintetizar un procesador de Arquitectura RISC. Asimismo, desarrolla habilidades transversales como comunicación efectiva, trabajo en equipo, creatividad, responsabilidad social, asertividad, ingenio, capacidad de organización y planificación.</p> <p>Esta unidad de aprendizaje se relaciona de manera antecedente con Diseño de sistemas digitales, Fundamentos de diseño digital, Matemáticas discretas y Teoría de la computación; y consecuentemente con Sistemas en chip.</p>		
<b>PROPÓSITO DE LA UNIDAD DE APRENDIZAJE</b>		
Implementa un procesador de arquitectura RISC con base en un lenguaje de descripción de hardware (HDL) y dispositivos reconfigurables del tipo FPGA.		

<b>TIEMPOS ASIGNADOS</b>
<b>HORAS TEORÍA/SEMANA:</b> 3.0
<b>HORAS PRÁCTICA/SEMANA:</b> 1.5
<b>HORAS TEORÍA/SEMESTRE:</b> 54.0
<b>HORAS PRÁCTICA/SEMESTRE:</b> 27.0
<b>HORAS APRENDIZAJE AUTÓNOMO:</b> 24.0
<b>HORAS TOTALES/SEMESTRE:</b> 81.0

<b>UNIDAD DE APRENDIZAJE REDISEÑADA POR:</b> Academia de Sistemas Digitales
<b>REVISADA POR:</b>  M. en C. Iván Giovanni Mosso García <b>Subdirector Académico ESCOM</b>
<b>APROBADA POR:</b> Consejo Técnico Consultivo Escolar  M. en C. Andrés Ortigoza Campos
  Dr. Fernando Flores Mejía <b>Presidente del CTCE de ESCOM/ UPIIZ</b> 02/12/2021 y 14/12/2021

<b>APROBADO POR:</b> Comisión de Programas Académicos del Consejo General Consultivo del IPN.  16/12/2021
---

<b>AUTORIZADO Y VALIDADO POR:</b>  Ing. Juan Manuel Velázquez Peto <b>Director de Educación Superior</b>
---



UNIDAD TEMÁTICA I Organización y arquitectura de computadoras	CONTENIDO	HORAS CON DOCENTE		HRS AA
		T	P	
<b>UNIDAD DE COMPETENCIA</b> Identifica la organización de una computadora de propósito general con base en su arquitectura.	1.1 Fundamentos de arquitectura de computadoras 1.1.1 Arquitectura y organización de computadoras 1.1.2 Memoria de programa 1.1.3 Memoria de datos 1.1.4 Unidad aritmética lógica 1.1.5 Registros 1.1.6 Unidad de control	1.0		1.0
	1.2 Arquitecturas clásicas 1.2.1 Arquitectura Von Neuman 1.2.2 Arquitectura RISC y CISC 1.2.3 Arquitectura Harvard	1.0		
	1.3 Arquitecturas especializadas 1.3.1 Arquitectura Superescalar 1.3.2 Arquitectura vectorial	1.0		
	Subtotal	3.0	0.0	

UNIDAD TEMÁTICA II Arquitectura del conjunto de instrucciones de RISC	CONTENIDO	HORAS CON DOCENTE		HRS AA
		T	P	
<b>UNIDAD DE COMPETENCIA</b> Analiza la arquitectura del conjunto de instrucciones del procesador RISC con base en los formatos y tipos de instrucciones y su programación con simuladores.	2.1 Formato de las instrucciones 2.1.1 Formato tipo R 2.1.2 Formato tipo I 2.1.3 Formato tipo J 2.1.4 Otros formatos	1.0		5.0
	2.2 Tipos de instrucción 2.2.1 Instrucciones de carga y almacenamiento 2.2.2 Instrucciones de aritméticas y lógicas 2.2.3 Instrucciones de corrimiento 2.2.4 Instrucciones de brinco condicional e incondicional 2.2.5 Instrucciones de manejo de subrutinas 2.2.6 Otras instrucciones	1.0		
	2.3 Programación 2.3.1 Instrucciones de carga y almacenamiento 2.3.2 Instrucciones aritméticas y lógicas 2.3.3 Instrucciones de corrimiento 2.3.4 Instrucciones de brinco condicional e incondicional 2.3.5 Instrucciones de manejo de subrutinas 2.3.6 Implementación usando simuladores	10.0	3.0	
	Subtotal	12.0	3.0	



UNIDAD TEMÁTICA III Diseño e implementación de un procesador monociclo de arquitectura RISC	CONTENIDO	HORAS CON DOCENTE		HRS AA
		T	P	
<b>UNIDAD DE COMPETENCIA</b> Implementa un procesador monociclo de arquitectura RISC con base en el uso de lógica reconfigurable.	3.1 Unidad aritmética y lógica 3.1.1 Análisis usando sumador con acarreo en cascada 3.1.2 Análisis usando sumador con acarreo anticipado 3.1.3 Análisis usando otras arquitecturas 3.1.4 Implementación usando HDL en lógica reconfigurable	3.0	2.0	1.0
	3.2 Memoria de programa, datos y pila. 3.2.1 Análisis con ROM y RAM multipuerto 3.2.2 Implementación de pila en software y hardware 3.2.3 Implementación usando HDL en lógica reconfigurable	3.0	4.0	2.0
	3.3 Archivos de registros 3.3.1 Análisis con RAM multipuerto 3.3.2 Análisis usando otras arquitecturas 3.3.3 Implementación usando HDL en lógica reconfigurable	3.0	2.0	1.0
	3.4 Unidad de control 3.4.1 Ruta de datos del procesador 3.4.2 Microinstrucciones 3.4.3 Memorias de microcódigo 3.4.4 Decodificador de instrucción 3.4.5 Registro de estado 3.4.6 Análisis de banderas para determinar condiciones 3.4.7 Autómata de control 3.4.8 Implementación usando HDL en lógica reconfigurable	6.0	3.0	1.0
	3.5 Implementación de procesador RISC monociclo 3.5.1 Implementación usando HDL en lógica reconfigurable 3.5.2 Ejecución de programas en los procesadores 3.5.3 Implementación de analizadores lógicos en FPGA para la depuración de programas en ejecución	4.0	3.0	3.0
	Subtotal	19.0	14.0	8.0



UNIDAD TEMÁTICA IV Segmentación de la ruta de datos de un procesador RISC	CONTENIDO	HORAS CON DOCENTE		HRS AA
		T	P	
<b>UNIDAD DE COMPETENCIA</b> Implementa las etapas de segmentación en un procesador RISC a partir del uso de lógica reconfigurable.	4.1 Segmentación 4.1.1 Etapas de segmentación 4.1.2 Registros inter etapa 4.1.3 Implementación usando HDL en lógica reconfigurable	2.0	3.0	1.0
	4.2 Riesgos (Hazards) 4.2.1 Riesgo estructural 4.2.2 Riesgos de datos 4.2.3 Método de bypassing 4.2.4 Método de forwarding 4.2.5 Implementación usando HDL en lógica reconfigurable	5.0	2.0	2.0
	4.3 Riesgo de Control 4.3.1 Predictores de salto 4.3.2 Predicción estática 4.3.3 Predicción dinámica 4.3.4 Implementación usando HDL en lógica reconfigurable	3.0	3.0	2.0
	Subtotal	10.0	8.0	5.0

UNIDAD TEMÁTICA V Organización del Sistema de Memoria	CONTENIDO	HORAS CON DOCENTE		HRS AA
		T	P	
<b>UNIDAD DE COMPETENCIA</b> Diseña la jerarquía de memoria de una computadora mediante el uso de la lógica reconfigurable.	5.1 Jerarquía de la memoria 5.1.1. Memoria principal 5.1.2 Memoria Caché 5.1.3 Memoria Virtual 5.1.4 Tecnologías de memorias	2.0	0.0	1.0
	5.2 Memoria caché 5.2.1 Cache hit y miss. 5.2.2. Estrategia Write Through y Write Back 5.2.3 Caché con mapeo directo 5.2.4 Caché asociativa por conjuntos 5.2.5 Caché completamente asociativo 5.2.6 Algoritmos de sustitución 5.2.7 Implementación usando HDL en lógica reconfigurable	4.0	2.0	2.0
	5.3 Memoria virtual 5.3.1 Paginación. 5.3.2. Unidad de Administración de Memoria (MMU). 5.3.3. Tablas de páginas 5.3.4. Arquitecturas de TLB. 5.3.5. Algoritmos de reemplazo de páginas	4.0	0.0	2.0
Subtotal	10.0	2.0	5.0	



**INSTITUTO POLITÉCNICO NACIONAL**  
**SECRETARÍA ACADÉMICA**  
**DIRECCIÓN DE EDUCACIÓN SUPERIOR**



**UNIDAD DE APRENDIZAJE:** Arquitectura de computadoras

**HOJA:** 6 **DE** 8

<b>ESTRATEGIAS DE APRENDIZAJE</b>	<b>EVALUACIÓN DE LOS APRENDIZAJES</b>
<p>Estrategia de Aprendizaje orientado a proyectos.</p> <p>El alumno desarrollará las siguientes actividades:</p> <ol style="list-style-type: none"> <li>1. Elaboración de programas usando el conjunto de instrucciones del procesador RISC con acompañamiento del profesor</li> <li>2. Programación en HDL de bloques funcionales del procesador RISC y verificación de funcionamiento usando simulación</li> <li>3. Realización de proyecto: Integración de bloques funcionales para probar el procesador RISC</li> <li>4. Realización de prácticas</li> </ol>	<p>Evaluación diagnóstica</p> <p>Portafolio de evidencias</p> <ol style="list-style-type: none"> <li>1. Código de programas con instrucciones del procesador RISC</li> <li>2. Código de programas en HDL</li> <li>3. Reporte de proyecto.</li> <li>4. Reporte de prácticas</li> <li>5. Evaluación escrita</li> </ol>

<b>RELACIÓN DE PRÁCTICAS</b>			
<b>PRÁCTICA No.</b>	<b>NOMBRE DE LA PRÁCTICA</b>	<b>UNIDADES TEMÁTICAS</b>	<b>LUGAR DE REALIZACIÓN</b>
1	Programación de distintos algoritmos usando el conjunto de instrucciones del lenguaje ensamblador del procesador RISC propuesto	II	Laboratorio de Electrónica Digital
2	Arquitectura de sumador/restador en con acarreo en cascada y anticipado en FPGA's usando HDL	III	
3	Implementación de memoria de programa en FPGA's usando HDL.	III	
4	Implementación de memoria de datos en FPGA's usando HDL.	III	
5	Implementación de archivo de registros en FPGA's usando HDL.	III	
6	Implementación de pila en FPGA's usando HDL.	III	
7	Implementación de unidad de control en FPGA's usando HDL.	III	
8	Implementación de procesador RISC monociclo en FPGA's usando HDL.	III	
9	Implementación de procesador RISC segmentado en FPGA's usando HDL.	IV	
10	Implementación de procesador RISC segmentado con lógica de riesgos en FPGA's usando HDL.	IV	
11	Implementación de procesador RISC segmentado con caché de mapeo directo en FPGA's usando HDL.	V	
		<b>TOTAL DE HORAS:</b>	27.0







**INSTITUTO POLITÉCNICO NACIONAL**  
**SECRETARÍA ACADÉMICA**  
**DIRECCIÓN DE EDUCACIÓN SUPERIOR**



**UNIDAD DE APRENDIZAJE:** Arquitectura de computadoras

**HOJA:** 8 **DE** 8

**PERFIL DOCENTE:** Ingeniería en Sistemas Computacionales, Computación, Comunicaciones y Electrónica, Mecatrónica y/o áreas afines, con grado de Maestría y/o Doctorado en estas áreas.

<b>EXPERIENCIA PROFESIONAL</b>	<b>CONOCIMIENTOS</b>	<b>HABILIDADES DIDÁCTICAS</b>	<b>ACTITUDES</b>
<p>Preferentemente experiencia docente a nivel licenciatura o posgrado de dos años</p> <p>Dos años en áreas de la industria y servicios afines a Ingenierías en electrónica, cómputo y comunicaciones (no indispensable).</p> <p>Experiencia de un año en proyectos de investigación (no indispensable).</p>	<p>Arquitecturas RISC en procesadores.</p> <p>Electrónica digital.</p> <p>Diseño de sistemas digitales.</p> <p>Lenguajes de descripción de hardware (HDL).</p> <p>De dispositivos lógicos programables del tipo FPGA.</p> <p>Implementación de sistemas digitales en dispositivos lógicos programables del tipo FPGA.</p> <p>Programación usando lenguaje ensamblador.</p> <p>Desarrollo de proyectos de investigación.</p> <p>Del Modelo Educativo Institucional.</p>	<p>Coordinar grupos de aprendizaje.</p> <p>Organizar equipos de aprendizaje.</p> <p>Planificación de la enseñanza.</p> <p>Manejo de estrategias didácticas centradas en el aprendizaje.</p> <p>Manejo de TIC en la enseñanza y para el aprendizaje.</p> <p>Comunicación multidireccional.</p>	<p>Compromiso con la enseñanza</p> <p>Congruencia</p> <p>Disponibilidad al cambio</p> <p>Empatía</p> <p>Generosidad</p> <p>Honestidad</p> <p>Proactividad</p> <p>Respeto</p> <p>Responsabilidad</p> <p>Solidaridad</p> <p>Tolerancia</p> <p>Vocación de servicio</p> <p>Liderazgo</p>

**ELABORÓ**

**REVISÓ**

**AUTORIZÓ**

\_\_\_\_\_  
M. en C. Víctor Hugo García Ortega  
**Coordinador**

\_\_\_\_\_  
M. en C. Fernando Olivera Domingo  
**Coordinador**

\_\_\_\_\_  
M. en C. Nayeli Vega García  
**Participante**

\_\_\_\_\_  
Dr. Gelacio Castillo Cabrera  
**Participante**

\_\_\_\_\_  
Dr. Erick Eugenio Linares Vallejo  
**Participante**

\_\_\_\_\_  
M. en Ed. Karina Rodríguez Mejía  
**Participante**

\_\_\_\_\_  
M. en C. Iván Giovanny Mosso  
García  
**Subdirección Académica ESCOM**

\_\_\_\_\_  
M. en C. Andrés Ortigoza Campos  
**Director ESCOM**

\_\_\_\_\_  
Dr. Fernando Flores Mejía  
**Director UPIIZ**